

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-223571

(43)Date of publication of application : 17.08.2001

(51)Int.Cl.

H03K 17/04

H02M 1/08

H03K 17/16

(21)Application number : 2000-033721

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 10.02.2000

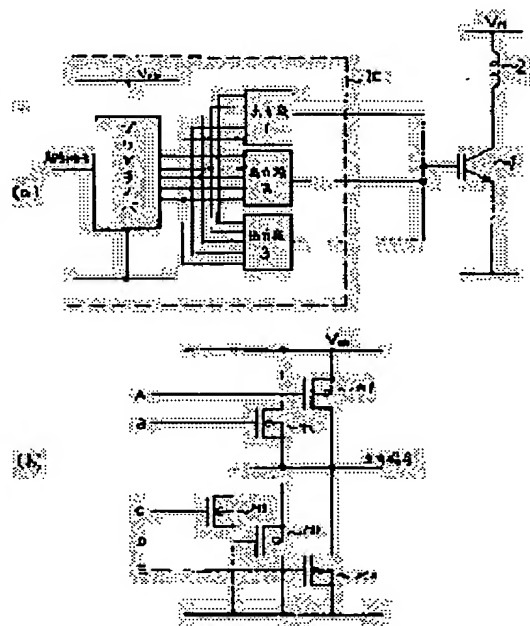
(72)Inventor : KOYABE KAZUNORI
KAWAKAMI HIROYUKI

(54) GATE DRIVING DEVICE FOR VOLTAGE DRIVING-TYPE SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To inexpensively provide a driving circuit where the voltage driving-type element of a main circuit can be driven with low loss and low noise and driving ability can arbitrarily be changed.

SOLUTION: In a gate driving device, on-voltage is applied to the gate of a voltage driving-type semiconductor element (IGBT1) based on the on-command of a driving signal via a first switching means for on (M1 and M2) and the voltage of a gate is pulled out via a second switching means for off (M3 and M4) based on an off-command, plural output stage units (output stages 1 to 3 and 1a to 3a) constituted of the first switching means for on and the second switching means for off exist. The input side terminal (A to E) of the plural output stage units are connected in parallel. Output side terminals (output signals) are independently installed. The output side terminals are arbitrarily connected to one voltage driving-type semiconductor element (IGBT1). Thus, driving ability can arbitrarily be changed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-223571

(P 2 0 0 1 - 2 2 3 5 7 1 A)

(43) 公開日 平成13年8月17日 (2001. 8. 17)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)
H03K 17/04		H03K 17/04	Z 5H740
H02M 1/08		H02M 1/08	A 5J055
H03K 17/16		H03K 17/16	F

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号	特願2000-33721 (P 2000-33721)	(71) 出願人	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田 1 番 1 号
(22) 出願日	平成12年 2 月 10 日 (2000. 2. 10)	(72) 発明者	小谷部 和徳 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式 会社内
		(72) 発明者	川上 浩之 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式 会社内
		(74) 代理人	100088339 弁理士 篠部 正治

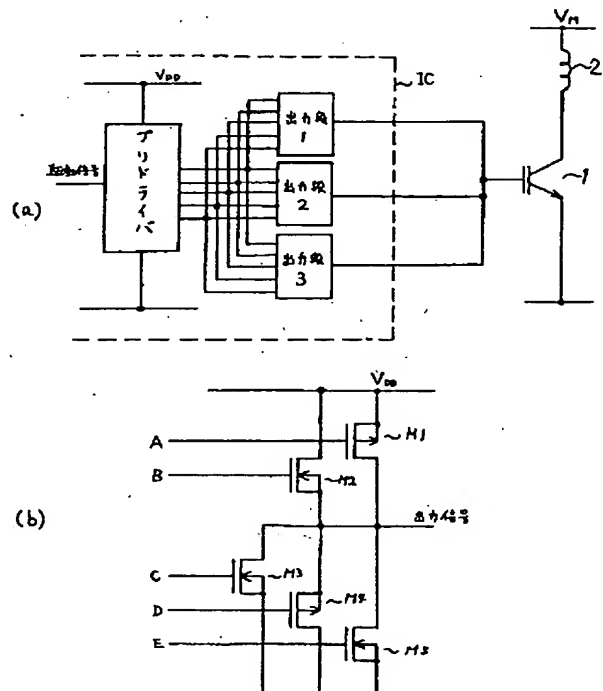
最終頁に続く

(54) 【発明の名称】 電圧駆動型半導体素子のゲート駆動装置

(57) 【要約】

【課題】主回路の電圧駆動型素子を低損失で低ノイズな駆動が可能でしかも駆動能力が任意に変えられる駆動回路を安価に提供する。

【解決手段】駆動信号のオン指令に基づいて電圧駆動型半導体素子 (IGBT1) のゲートへオン用電圧をオン用の第1スイッチング手段 (M1, M2) を介して印加し、オフ指令に基づいてオフ用の第2スイッチング手段 (M3, M4) を介してゲートの電圧を引き抜くゲート駆動装置において、前記オン用の第1スイッチング手段とオフ用の第2スイッチング手段からなる出力段ユニットが複数 (出力段1~3、1a~3a) あり、該複数の出力段ユニットの入力側端子 (A~E) が並列に接続され、出力側端子 (出力信号) が独立して設けられ1つの電圧駆動型半導体素子 (IGBT1) に対して該出力側端子が任意に接続されるようにすることで、駆動能力が任意に変えられる。



【特許請求の範囲】

【請求項1】駆動信号のオン指令に基づいて電圧駆動型半導体素子のゲートへオン用電圧をオン用の第1スイッチング手段を介して印加し、オフ指令に基づいてオフ用の第2スイッチング手段を介してゲートの電圧を引き抜くゲート駆動装置において、前記オン用の第1スイッチング手段とオフ用の第2スイッチング手段からなる出力段ユニットが複数あり、該複数の出力段ユニットの入力側端子が並列に接続され、出力側端子が独立して設けられ1つの電圧駆動型半導体素子に対して該出力側端子が任意に接続されることを特徴とする電圧駆動型半導体素子のゲート駆動装置。

【請求項2】オン用の第1スイッチング手段がPチャネルMOSFETとNチャネルMOSFETとの並列接続回路であり、オフ用の第2スイッチング手段がPチャネルMOSFETとNチャネルMOSFETとの並列接続回路である請求項1記載の電圧駆動型半導体素子のゲート駆動装置。

【請求項3】PチャネルMOSFETはオン抵抗が高く、NチャネルMOSFETはオン抵抗が低い請求項2記載の電圧駆動型半導体素子のゲート駆動装置。

【請求項4】ゲート駆動装置がICである請求項2記載の電圧駆動型半導体素子のゲート駆動装置。

【請求項5】オフ用の第2スイッチング手段のNチャネルMOSFETよりも低いオン抵抗のNチャネルMOSFETを前記ゲートと基準電位との間に設けた請求項2記載の電圧駆動型半導体素子のゲート駆動装置。

【請求項6】複数の出力段ユニットの出力端子の出力値が異なる請求項1記載の電圧駆動型半導体素子のゲート駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、モータ制御、エアコン等のインバータあるいはNC制御などに使用される電力変換装置を構成するIGBT、MOSFET等の電圧駆動型半導体素子のゲート駆動装置に関する。

【0002】

【従来の技術】半導体素子を用いた電力変換装置においては、近年、種々の法的規制から該電力変換装置を構成する前記電圧駆動型半導体素子のスイッチング動作に伴って発生するノイズを低減させることが求められている。図4はこの種の電力変換装置の従来例を示す回路構成図である。図4において、1はこの電力変換装置の電圧駆動型半導体素子としてのIGBT、2はモータ等の誘導性負荷を示し、主回路電源VMからIGBT1のオン・オフに基づいて誘導性負荷2に電力が供給される。実際のインバータ回路では、このIGBT1が2個直列接続された直列回路を3個並列接続にし、かつ各直列回路の midpoint を出力としてモータ等の誘導性負荷に接続される。このIGBT1をオン・オフさせる駆動回路には、

駆動回路電源VDDと基準電位点（IGBT1のエミッタ電位あるいは接地電位）との間に直列接続されるPチャネルのMOSFET11及びNチャネルのMOSFET12と、駆動信号に基づいてMOSFET11、12を制御する反転素子21a～21eからなる制御回路とを備えている。3はゲート抵抗である。PチャネルのMOSFET11側とNチャネルのMOSFET12側との反転素子の段数が異なるのは同時にMOSFET11、12がオン状態となり短絡するのを防ぐための時間的なずれを持たせたためである。この回路では、MOSFET11、12を低オン抵抗の素子を選定して用い、IGBT1の駆動能力を高く設定し、ゲート抵抗3の値を調整して前記駆動能力より低く使用できるようにしている。かかる回路において、回路構成は簡単であるが、IGBT1のスイッチング動作を早くすると、ターンオン・ターンオフ時のIGBT1のコレクタ電流Ic及びコレクターエミッタ電圧VCEの変化が急峻となり、コレクタ電流Icに振動現象が生じノイズが発生することとなる。なお、本発明は電圧駆動型半導体素子のゲート駆動装置に特徴を有するものである。以後主スイッチング素子であるIGBT1を1つだけ記載して説明を行っている。前記図4におけるノイズの低減手段として図5の回路を提供した。図5は異なる従来例を示す回路構成図であり、類似した回路を出願し公開（特開平9-47015号、特開平10-32976号、特開平11-97994号）した。図5において、M1はオン抵抗が低いPチャネルMOSFETであり、M2はオン抵抗が高いNチャネルMOSFETであり、M3はオン抵抗が低いNチャネルMOSFETであり、M4はオン抵抗が高いPチャネルMOSFETであり、M5はM3より更にオン抵抗の低いNチャネルMOSFETである。そして、MOSFETM1、M2が並列接続され、MOSFETM3、M4、M5が並列接続され、更にこれらの並列接続されたMOSFETM1、M2の一端とMOSFETM3、M4、M5の一端とが直列に接続される。MOSFETM1、M2の他端は駆動回路電源VDDに接続され、MOSFETM3、M4、M5の他端は基準電位点（IGBT1のエミッタ電位あるいは接地電位）に接続される。この直列接続された midpoint がIGBT1のゲートに接続される。各MOSFETM1～M5のゲートはブリッドライバを介して駆動信号により個々に制御される。コレクタ電流Icが50AのIGBT1を駆動する場合に各MOSFETのオン抵抗は、MOSFETM3が17Ω、M4が220Ω、M5が2Ω、M1、M2が両者オンした状態で34Ωに設定される。

【0003】

【発明が解決しようとする課題】前記図5の駆動回路では、駆動信号に応じてブリッドライバから出力される信号により、各MOSFETのオンするタイミング（詳細は後述する）を変化させて過渡的にオン抵抗を変化させて

駆動能力を変え（駆動能力高いと低損失と低スイッチングロス、駆動能力が低いと低ノイズ）低損失と低ノイズを達成している。しかしながら、この駆動回路では、各 MOSFET のオン抵抗によって駆動対象である IGBT1 に対する駆動能力が決められるので、IGBT1 の機種毎にあわせて各 MOSFET のオン抵抗を設定せねばならなかった。また、この図 5 の駆動回路において、図 4 の如くゲート抵抗 3 を用いて駆動能力を変更しようとした場合に、MOSFET M1 と M2 の各オン抵抗が例えば 100Ω と 1KΩ というようにならかなり異なるため、ゲート抵抗 3 が入ることで、オン抵抗の比がくるってしまうので単純にゲート抵抗 3 を付けることはできない。図 6 は図 5 の駆動能力を変えるための回路構成図である。図 6 において、図 5 と異なる点は MOSFET M1 ～ M5 の一端を連結せずにそれぞれ引き出し、異なる抵抗値のゲート抵抗 3a ～ 3e を介して IGBT1 に接続した点である。この回路構成ではゲート抵抗の値を個々に設定することにより駆動能力を任意に設定できる。しかし、通常この駆動回路は IC として形成されるが、個々のゲート抵抗に接続するために IC のピン数が増えることとゲート抵抗も端子分必要となりコストアップとなる。

【0004】本発明の目的は、主回路の電圧駆動型素子を低損失で低ノイズな駆動が可能な駆動回路を安価に提供することである。

【0005】

【課題を解決するための手段】上記の目的を達成するために、本発明は、駆動信号のオン指令に基づいて電圧駆動型半導体素子（IGBT1）のゲートへオン用電圧をオン用の第 1 スwitchング手段（M1、M2）を介して印加し、オフ指令に基づいてオフ用の第 2 スwitchング手段（M3、M4）を介してゲートの電圧を引き抜くゲート駆動装置において、前記オン用の第 1 スwitchング手段とオフ用の第 2 スwitchング手段からなる出力段ユニットが複数（出力段 1 ～ 3、1a ～ 3a）あり、該複数の出力段ユニットの入力側端子（A ～ E）が並列に接続され、出力側端子（出力信号）が独立して設けられ 1 つの電圧駆動型半導体素子（IGBT1）に対して該出力側端子が任意に接続されることが有効である。また、オン用の第 1 スwitchング手段が P チャネル MOSFET（M1）と N チャネル MOSFET（M2）との並列接続回路であり、オフ用の第 2 スwitchング手段が P チャネル MOSFET（M4）と N チャネル MOSFET（M3）との並列接続回路であることが有効である。P チャネル MOSFET（M1、M4）はオン抵抗が高く、N チャネル MOSFET（M2、M3）はオン抵抗が低くする。また、ゲート駆動装置が IC であり、オフ用の第 2 スwitchング手段の N チャネル MOSFET よりも低いオン抵抗の N チャネル MOSFET（M5）を前記 IGBT1 のゲートと基準電位との間に設けること

が有効である。複数の出力段ユニットの出力端子の出力値は異なっている。

【0006】本発明によれば、出力段ユニットの出力端子が引き出された IC の端子を任意に接続することにより、低損失、低ノイズを損なうことなく IC による駆動能力が簡単に変えることができる。

【0007】

【発明の実施の形態】図 1 は、本発明の第 1 の実施例を示す電力変換装置の回路構成図であり（a）は駆動回路図であり（b）は（a）の出力段 1 の部分拡大図であり、図 5 に示した従来例回路と同一機能を有するものには同一符号を付している。すなわち図 1 において、出力段 1 ～ 3 からなるユニットが IC 内において並列に接続されている。これら出力段 1 ～ 3 の回路構成は（b）に示すようになっており、図 5 の MOSFET M1 ～ M5 と同じ回路構成となっている。但し、出力段 1 ～ 3 での各 MOSFET M1 ～ M5 のオン抵抗は異なるものを採用しており、出力段 1 ～ 3 の出力信号が異なる駆動能力となっている。まず、図 1（b）の部分拡大図の動作を図 2 に示す動作波形図を参照しつつ、以下に説明する。なお、図 2 の動作波形を具現するための MOSFET M1 ～ M5 の選定条件は、図 5 におけるオン抵抗の選定条件と同じとしている。まず、プリドライバを介して駆動信号（図 2（f）参照）が図示の如くオフからオン（T1 時点）に変化して IGBT1 にオン指令が発せられると、M1 の端子 A の信号はハイからロー（図 2（a）参照）へ変わり、M2 の端子 B の信号はローからハイ（図 2（b）参照）に変わり M1、M2 はオフ状態からオン状態となる。このオン状態の時に M3 ～ M5 はオフ状態とされる（図 2（c）～（e）参照）。その結果 IGBT1 は駆動回路電源 VGG から M1、M2 を介してのゲート電圧でオン状態となり、IGBT1 のゲート電圧 VG は急速に立ち上がり、IGBT1 の閾値 VG1 を越えて平坦期間（IGBT1 のミラー容量充電期間）に入りつつ、IGBT1 がターンオン動作を開始する。このミラー容量充電期間は、M2 を T2 時点でオフさせることで T1 ～ T2 時点の間のゲート容量充電に M1、M2 が寄与してこの時間の短縮が図られる。その後、IGBT1 のゲート電圧（図 2（g）参照）が VG1 に近づくとつれて M2 のゲート・ソース電圧は M2 の閾値に近づきオフするため、IGBT1 のゲート電圧が VG1 以上の領域では M1 のみがオン状態になり、その結果、図示の如く IGBT1 のゲート電圧 VG の dV/dt が小さくなり、IGBT1 のコレクタ電流 Ic（図示せず）及びコレクタ・エミッタ電圧 VCE（図 2（h）参照）の変化が緩やかになる。次に、駆動信号がオンからオフに変化（T3 時点）して IGBT1 にオフ指令が発せられると、M3 ～ M5 はオフ状態からオン状態となる。このオン状態の時に M1、M2 はオフ状態とされる。その結果、IGBT1 のゲート電圧 VGE は急速に立ち下が

り、平坦期間（IGBT1のミラー容量放電期間）を若干残しつつ、IGBT1がターンオフ動作を開始する。このミラー容量放電期間は、M5をT4時点でオフさせることにより短縮することができ、一旦M3、M4のみがオン状態となり、その結果、図示の如くIGBT1のゲート電圧VGの dV/dt が小さくなり、IGBT1のコレクタ電流 I_c 及びコレクタ・エミッタ電圧VCEの変化が緩やかになる。なお、T5時点でゲート電圧がVG2（約5V）まで下降すると再びM5をオンさせてM3～M5をオン状態としてゲート電圧VGの下降を速め、IGBT1のターンオフ時間を短縮してオフ保持させる。再び図1にもどり、出力段1～3は、各MOSFETのオン抵抗を変えるだけでよいので、IC内で容易に実現が可能である。この出力段1～3の出力信号を出力すべく出力端子はこの例では3つとなり、ICのピン数が2つ増えるが、例えば、この出力端子をコレクタ電流 I_c が25A、50A、75AとすればIGBT1への接続ピンを組み合わせることで7種類の駆動能力を実現できる。そして、出力段ユニットを4個とすれば15種類の駆動能力が実現できる。これらにおいて、外付けのゲート抵抗を図6のように個々に設ける必要がないので部品数を増やすこともない。図3は異なる実施例であり、(a)は駆動回路図であり、(b)は(a)の出力段1aの部分拡大図である。図3において図1と異なる点は、出力段1～3のそれぞれに設けられていたMOSFET M5を取出して独立してM5を設けた点である。このM5はシンカーと呼ばれ、駆動対象であるIGBT1をオフに保持するためのオン抵抗が低抵抗のトランジスタである。この場合、IGBT1のゲートが低抵抗で

基準電位（接地）に落ちていればよいので、駆動対象毎に駆動能力を変えなくてもよい。従って、各出力段のM5を統合して1つの出力端子としている。この出力端子はゲートの電圧を検出するための端子としてもよい。以上のように本発明では、各MOSFETのオン抵抗を変える手段にて説明したが、各MOSFETに拡散抵抗あるいはポリシリコンの抵抗を直列に介挿して抵抗値を設定してもよい。

【0008】

【発明の効果】本発明によれば、主回路の電圧駆動型素子を低損失で低ノイズな駆動が可能でしかも駆動能力が任意に変えられる駆動回路を安価に提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例を示す回路構成図であり、(a)は駆動回路図、(b)は(a)の部分拡大図

【図2】図1の動作を説明する波形図

【図3】本発明の他の実施例を示す回路構成図であり、(a)は駆動回路図、(b)は(a)の部分拡大図

【図4】従来例を示す回路構成図

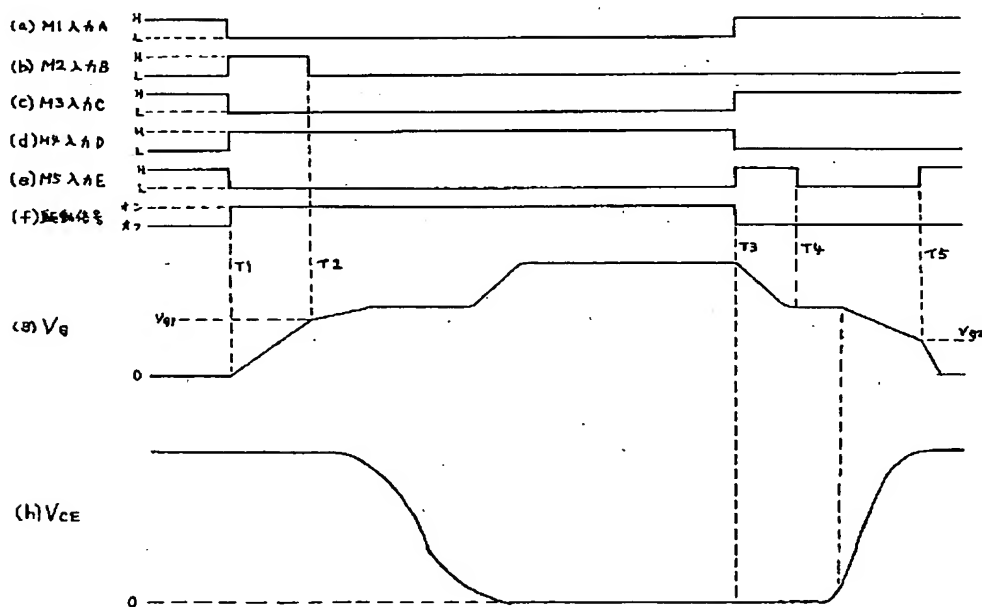
【図5】他の従来例を示す回路構成図

【図6】参考例を示す回路構成図

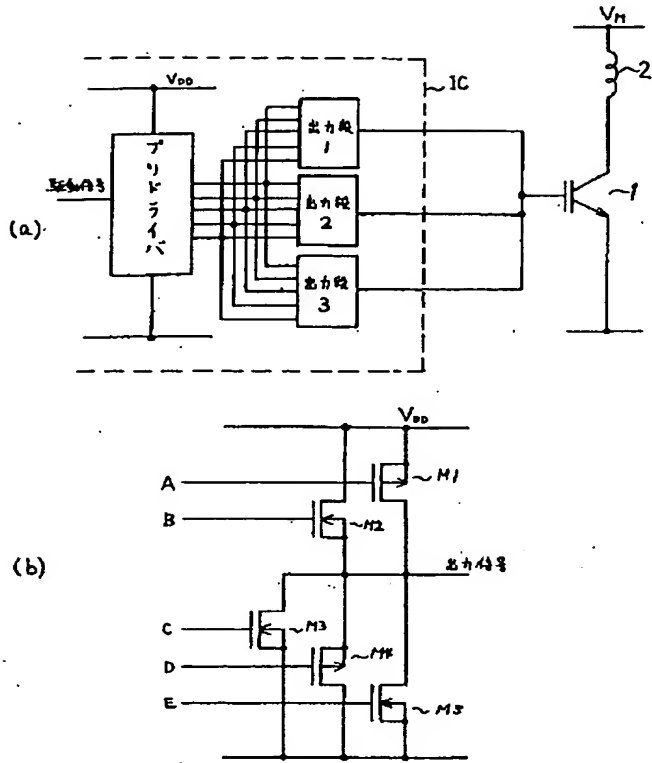
【符号の説明】

- 1 IGBT
- 2 誘導性負荷
- 11、12、M1～M5 MOSFET
- 21a～21e 反転素子
- 3、3a～3e ゲート抵抗

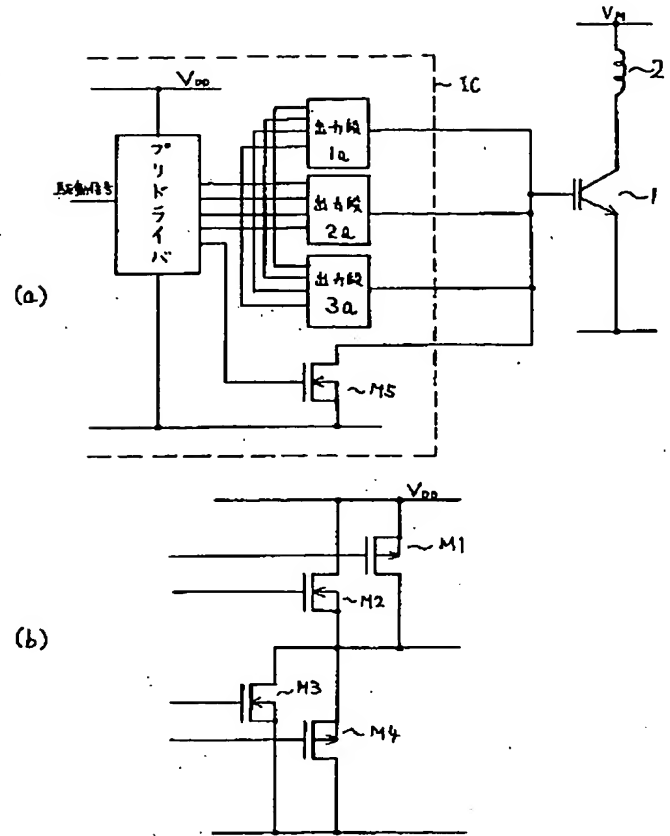
【図2】



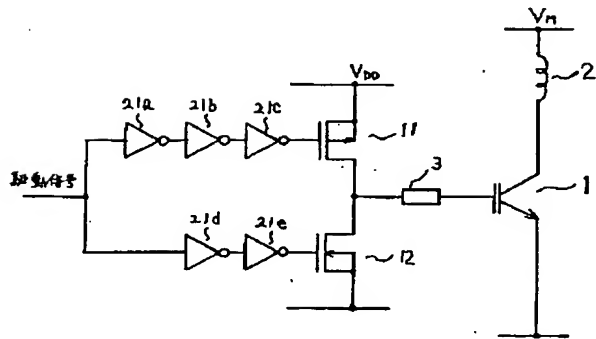
【図 1】



【図 3】



【図 4】



【図 5】

